

ELECTROOPTICAL DEVICE AND ITS MANUFACTURING METHOD

Publication number: JP2002162647

Publication date: 2002-06-07

Inventor: TAKAYAMA TORU; ARAO TATSUYA; MURAKAMI TOMOHITO; SAKAKURA MASAYUKI; HAMAYA TOSHIJI; HAMADA TAKASHI; TSUKAMOTO YOSUKE; OGAWA HIROYUKI; MATSUO TAKUYA

Applicant: SEMICONDUCTOR ENERGY LAB; SHARP KK

Classification:

- International: G02F1/1368; G09F9/30; H01L21/3213; H01L29/423; H01L29/43; H01L29/49; H01L29/786; G02F1/13; G09F9/30; H01L21/02; H01L29/40; H01L29/66; (IPC1-7): G02F1/1368; G09F9/30; H01L21/3213; H01L29/43; H01L29/786

- european:

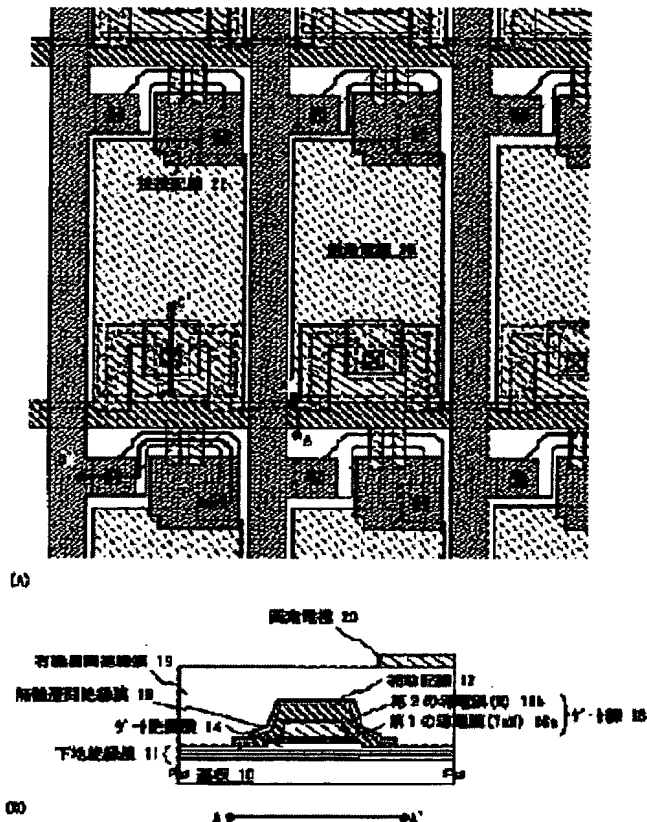
Application number: JP20000361904 20001128

Priority number(s): JP20000361904 20001128

Report a data error here

Abstract of JP2002162647

PROBLEM TO BE SOLVED: To reduce the manufacturing cost and to enhance yield by reducing the number of processes in manufacturing process and also to realize the lowering of resistance of wirings which is to be needed in accordance with the making of an electrooptical device large in size and highly definite in an electrooptical device which is represented by an active matrix type liquid crystal device which is to be produced by using TFTs(thin film transistors) and in a semiconductor device. **SOLUTION:** In this device and the semiconductor device, a heat resisting layer is used as the material of gate electrodes and gate lines and, moreover, the conductive layer made of a material having low resistance is installed as auxiliary wirings of the gate lines in order to make resistivity of the gate lines smaller.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-162647
(P2002-162647A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30	3 3 0 Z 4 M 1 0 4
	3 3 8		3 3 8 5 C 0 9 4
H 0 1 L 21/3213		H 0 1 L 21/88	D 5 F 0 3 3
29/43		29/62	G 5 F 1 1 0
審査請求 未請求 請求項の数16 O L (全 25 頁) 最終頁に続く			

(21) 出願番号 特願2000-361904(P2000-361904)

(22) 出願日 平成12年11月28日(2000.11.28)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 高山 徹
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 荒尾 達也
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

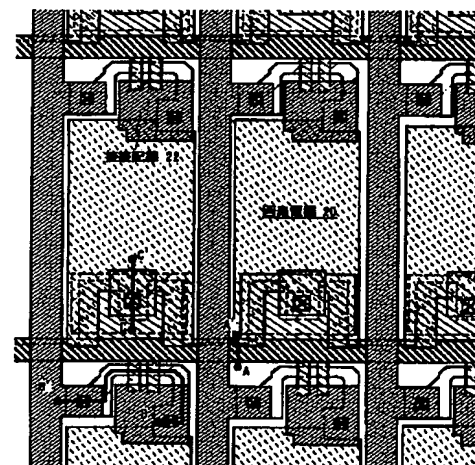
最終頁に続く

(54) 【発明の名称】 電気光学装置およびその作製方法

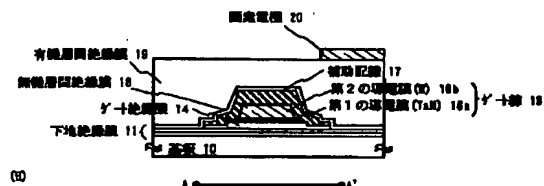
(57) 【要約】

【目的】 T F Tを用いて作製されるアクティブマトリクス型液晶表示装置に代表される電気光学装置ならびに半導体装置において、製造工程における工程数を削減して製造コストの低減および歩留まりの向上の実現、かつ、大型高精細化に伴う配線の低抵抗化を実現することを目的としている。

【構成】 ゲート電極およびゲート線の材料として、耐熱性導電膜を用い、さらにゲート線の抵抗率を小さくするために、低抵抗の材料からなる導電膜を補助配線として設ける。



(A)



(B)

【特許請求の範囲】

【請求項1】ソース線、ゲート線、前記ソース線に接続された画素TFTを含む電気光学装置において、前記ゲート線は画素TFTのゲート電極と保持容量線をかねる配線からなり、前記配線を形成する導電膜より抵抗率の小さい導電膜からなる補助配線が前記配線に沿うようにかつ接して設けられていることを特徴とする電気光学装置。

【請求項2】ソース線、ゲート線、前記ソース線に接続された画素TFTを含む電気光学装置において、前記ゲート線は画素TFTのゲート電極と保持容量線をかねる配線からなり、前記配線を形成する導電膜より抵抗率の小さい導電膜からなる補助配線が前記配線に沿うようにかつ接して設けられており、前記補助配線は、Alからなる導電膜、またはAlを含む合金からなる導電膜からなることを特徴とする電気光学装置。

【請求項3】ソース線、ゲート線、前記ソース線に接続された画素TFTを含む電気光学装置において、前記ゲート線は画素TFTのゲート電極と保持容量線をかねる配線からなり、前記配線より抵抗率の小さい導電膜からなる補助配線が前記配線に沿うようにかつ接して設けられており、前記補助配線は、Cuからなる導電膜、またはCuを含む合金からなる導電膜からなることを特徴とする電気光学装置。

【請求項4】ソース線、ゲート線、前記ソース線に接続された画素TFTを含む電気光学装置において、前記ゲート線は画素TFTのゲート電極と保持容量線をかねる配線からなり、前記配線より抵抗率の小さい導電膜からなる補助配線が前記配線に沿うようにかつ接して設けられており、前記補助配線は、Agからなる導電膜、またはAgを含む合金からなる導電膜からなることを特徴とする電気光学装置。

【請求項5】ソース線、ゲート線、前記ソース線に接続された画素TFTを含む電気光学装置において、前記ゲート線は画素TFTのゲート電極と保持容量線をかねる配線からなり、前記配線より抵抗率の小さい導電膜からなる補助配線が前記配線に沿うようにかつ接して設けられており、前記画素TFTは、絶縁体上の半導体層、前記半導体層上のゲート絶縁膜、前記ゲート絶縁膜上の前記ゲート電極を有し、前記保持容量は、前記半導体層、前記ゲート絶縁膜と同一の工程で形成される絶縁膜および前記配線の一部である保持容量線からなることを特徴とする電気光学装置。

【請求項6】ソース線、ゲート線、前記ソース線に接続された画素TFTを含む電気光学装置において、

前記ゲート線は画素TFTのゲート電極と保持容量線をかねる配線からなり、

前記配線より抵抗率の小さい導電膜からなる補助配線が前記配線に沿うようにかつ接して設けられており、前記画素TFTは、絶縁体上の半導体層、前記半導体層上のゲート絶縁膜、前記ゲート絶縁膜上の前記ゲート電極を有し、

前記保持容量は、前記半導体層、前記半導体層上の前記ゲート絶縁膜と同一の工程で形成される絶縁膜、前記絶縁膜上の前記配線の一部である保持容量線および前記補助配線からなることを特徴とする電気光学装置。

【請求項7】ソース線、ゲート線、前記ソース線に接続された画素TFTを含む電気光学装置において、前記画素TFTは、絶縁体上の半導体層、前記半導体層上のゲート絶縁膜、前記ゲート絶縁膜上の前記ゲート電極を有し、

前記保持容量は、前記半導体層、前記半導体層上の前記ゲート絶縁膜と同一の工程で形成される絶縁膜、前記絶縁膜上の前記保持容量線からなり、

前記ゲート線および前記保持容量線は、ゲート電極より抵抗率の小さい導電膜からなることを特徴とする電気光学装置。

【請求項8】請求項1乃至請求項8のいずれか一項に記載された電気光学装置を表示部に用いることを特徴とする電気器具。

【請求項9】絶縁体上に、半導体層を形成する第1の工程と、

前記半導体層上にゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜上に2層以上の導電膜を積層する第3の工程と、

前記導電膜をエッチングしてゲート電極、保持容量線およびゲート線をかねる配線を形成しゲート電極(A)を得る第4の工程と、

前記ゲート電極(A)をエッチングしてゲート電極

(B)を形成する第5の工程と、

前記ゲート電極(B)をマスクにして前記半導体層にn型不純物元素を添加する第6の工程と、

マスクを形成し、かつ前記半導体層にn型不純物元素を添加する第7の工程と、

nチャネル型TFTが形成される領域にマスクを形成し、かつpチャネル型TFTを形成する半導体層にp型不純物元素を添加する第8の工程と、

熱処理する第9の工程と、

前記ゲート線に沿うようにかつ接するように補助配線を形成する第10の工程と、

を含むことを特徴とする電気光学装置の作製方法。

【請求項10】絶縁体上に、半導体層を形成する第1の工程と、

前記半導体層上にゲート絶縁膜を形成する第2の工程

と、
 前記ゲート絶縁膜上に2層以上の導電膜を積層する第3の工程と、
 前記導電膜をエッチングしてゲート電極、保持容量線およびゲート線をかねる配線を形成しゲート電極(A)を得る第4の工程と、
 前記ゲート電極(A)をエッチングしてゲート電極(B)を形成する第5の工程と、
 前記ゲート電極(B)をマスクにして前記半導体層にn型不純物元素を添加する第6の工程と、
 マスクを形成し、かつ前記半導体層にn型不純物元素を添加する第7の工程と、
 nチャンネル型TFTが形成される領域にマスクを形成し、かつpチャンネル型TFTを形成する半導体層にp型不純物元素を添加する第8の工程と、
 熱処理する第9の工程と、
 第9の工程の後、導電膜を積層する第10の工程と、
 前記第10の工程で形成された前記導電膜をエッチングして、前記ゲート線に沿うようにかつ接するような補助配線を形成する第11の工程と、
 を含むことを特徴とする電気光学装置の作製方法。
 【請求項11】絶縁体上に、半導体層を形成する第1の工程と、
 前記半導体層上にゲート絶縁膜を形成する第2の工程と、
 前記ゲート絶縁膜上に2層以上の導電膜を積層する第3の工程と、
 前記導電膜をエッチングしてゲート電極(A)を形成する第4の工程と、
 前記ゲート電極(A)をエッチングしてゲート電極(B)を形成する第5の工程と、
 前記ゲート電極(B)をマスクにして前記半導体層にn型不純物元素を添加する第6の工程と、
 マスクを形成し、かつ前記半導体層にn型不純物元素を添加する第7の工程と、
 nチャンネル型TFTが形成される領域にマスクを形成し、かつpチャンネル型TFTを形成する半導体層にp型不純物元素を添加する第8の工程と、
 熱処理する第9の工程と、
 前記ゲート電極(B)に一部重なるようにゲート線を形成する第10の工程と、
 前記第10の工程の後、無機層間絶縁膜を形成する第11の工程と、
 前記無機層間絶縁膜上に有機層間絶縁膜を形成する第12の工程と、
 前記無機層間絶縁膜および前記有機層間絶縁膜に前記半導体層に達するコンタクトホールを形成する第13の工程と、
 前記有機層間絶縁膜上に画素電極を形成する第14の工程と、

前記半導体層および画素電極を電気的に接続する配線を形成する第15の工程と、
 を含むことを特徴とする電気光学装置の作製方法。
 【請求項12】絶縁体上に、半導体層を形成する第1の工程と、
 前記半導体層上にゲート絶縁膜を形成する第2の工程と、
 前記ゲート絶縁膜上に2層以上の導電膜を積層する第3の工程と、
 前記導電膜をエッチングしてゲート電極(A)を形成する第4の工程と、
 前記ゲート電極(A)をエッチングしてゲート電極(B)を形成する第5の工程と、
 前記ゲート電極(B)をマスクにして前記半導体層にn型不純物元素を添加する第6の工程と、
 マスクを形成し、かつ前記半導体層にn型不純物元素を添加する第7の工程と、
 nチャンネル型TFTが形成される領域にマスクを形成し、かつpチャンネル型TFTを形成する半導体層にp型不純物元素を添加する第8の工程と、
 熱処理する第9の工程と、
 前記ゲート電極(B)に一部重なるようにゲート線を形成する第10の工程と、
 前記第10の工程の後、無機層間絶縁膜を形成する第11の工程と、
 前記無機層間絶縁膜上に有機層間絶縁膜を形成する第12の工程と、
 前記無機層間絶縁膜および前記有機層間絶縁膜に前記半導体層に達するコンタクトホールを形成する第13の工程と、
 前記有機層間絶縁膜上に画素電極を形成する第14の工程と、
 前記半導体層および画素電極を電気的に接続する配線を形成する第15の工程と、
 を含む、
 前記ゲート線は、前記ゲート電極よりも抵抗率の小さい導電膜から形成されることを特徴とする電気光学装置の作製方法。
 【請求項13】請求項1において、前記ゲート線は、Al、CuまたはAgのいずれかの元素からなる導電膜、または前記元素を含む合金材料からなる導電膜から形成されることを特徴とする電気光学装置の作製方法。
 【請求項14】絶縁体上に、半導体層を形成する第1の工程と、
 前記半導体層上にゲート絶縁膜を形成する第2の工程と、
 前記ゲート絶縁膜上に2層以上の導電膜を積層する第3の工程と、
 前記導電膜をエッチングしてゲート電極、保持容量線およびゲート線をかねる配線を形成し、ゲート電極(A)を得る第4の工程と、

前記ゲート電極（Ａ）をエッチングしてゲート電極（Ｂ）を形成する第５の工程と、
 前記ゲート電極（Ｂ）をマスクにして前記半導体層にｎ型不純物元素を添加する第６の工程と、
 マスクを形成し、かつ前記半導体層にｎ型不純物元素を添加する第７の工程と、
 ｎチャンネル型ＴＦＴが形成される領域にマスクを形成し、かつｐチャンネル型ＴＦＴを形成する半導体層にｐ型不純物元素を添加する第８の工程と、
 熱処理する第９の工程と、
 前記配線のゲート線および保持容量線として用いられる領域に沿うようにかつ接するように補助配線を形成する第１０の工程と、
 前記第１０の工程の後、無機層間絶縁膜を形成する第１１の工程と、
 前記無機層間絶縁膜上に有機層間絶縁膜を形成する第１２の工程と、
 前記無機層間絶縁膜および前記有機層間絶縁膜に前記半導体層に達するコンタクトホールを形成する第１３の工程と、
 前記有機層間絶縁膜上に画素電極を形成する第１４の工程と、
 前記半導体層と前記画素電極とを電気的に接続する配線を形成する第１５の工程と、
 を含むことを特徴とする電気光学装置の作製方法。
 【請求項１５】絶縁体上に、半導体層を形成する第１の工程と、
 前記半導体層上にゲート絶縁膜を形成する第２の工程と、
 前記ゲート絶縁膜上に２層以上の導電膜を積層する第３の工程と、
 前記導電膜をエッチングしてゲート電極、保持容量線およびゲート線をかねる配線を形成しゲート電極（Ａ）を得る第４の工程と、
 前記ゲート電極（Ａ）をエッチングしてゲート電極（Ｂ）を形成する第５の工程と、
 前記ゲート電極（Ｂ）をマスクにして、前記半導体層にｎ型不純物元素を添加する第６の工程と、
 ｎチャンネル型ＴＦＴが形成される領域にマスクを形成し、かつｐチャンネル型ＴＦＴを形成する半導体層にｐ型不純物元素を添加する第７の工程と、
 熱処理する第８の工程と、
 前記配線のゲート線および保持容量線として用いられる領域に沿うようにかつ接するように補助配線を形成する第９の工程と、
 前記第９の工程の後、無機層間絶縁膜を形成する第１０の工程と、
 前記無機層間絶縁膜上に有機層間絶縁膜を形成する第１１の工程と、
 前記無機層間絶縁膜および前記有機層間絶縁膜に前記半導体層に達するコンタクトホールを形成する第１２の工程と、
 前記有機層間絶縁膜上に画素電極を形成する第１３の工程と、
 前記半導体層と前記画素電極とを電気的に接続する配線を形成する第１４の工程と、
 前記補助配線は、前記配線を形成する導電膜より抵抗率の小さいＡｌ、ＣｕまたはＡｇのいずれかの元素からなる導電膜、または前記元素を含む合金材料からなる導電膜と、Ｔａ、Ｗ、Ｔｉ、Ｍｏ、Ｃｒ、ＮｄもしくはＮｂのいずれかの元素からなる導電膜、または前記元素を主成分とする化合物からなる導電膜とを積層させて形成されることを特徴とする電気光学装置の作製方法。

導体層に達するコンタクトホールを形成する第１２の工程と、
 前記有機層間絶縁膜上に画素電極を形成する第１３の工程と、
 前記半導体層と前記画素電極とを電気的に接続する配線を形成する第１４の工程と、を含み、
 前記補助配線は、前記配線を形成する導電膜より抵抗率の小さいＡｌ、ＣｕまたはＡｇのいずれかの元素からなる導電膜、または前記元素を含む合金材料からなる導電膜で形成されることを特徴とする電気光学装置の作製方法。
 【請求項１６】絶縁体上に、半導体層を形成する第１の工程と、
 前記半導体層上にゲート絶縁膜を形成する第２の工程と、
 前記ゲート絶縁膜上に２層以上の導電膜を積層する第３の工程と、
 前記導電膜をエッチングしてゲート電極、保持容量線およびゲート線をかねる配線を形成しゲート電極（Ａ）を得る第４の工程と、
 前記ゲート電極（Ａ）をエッチングしてゲート電極（Ｂ）を形成する第５の工程と、
 前記ゲート電極（Ｂ）をマスクにして、前記半導体層にｎ型不純物元素を添加する第６の工程と、
 ｎチャンネル型ＴＦＴが形成される領域にマスクを形成し、かつｐチャンネル型ＴＦＴを形成する半導体層にｐ型不純物元素を添加する第７の工程と、
 熱処理する第８の工程と、
 前記配線のゲート線および保持容量線として用いられる領域に沿うようにかつ接するように補助配線を形成する第９の工程と、
 前記第９の工程の後、無機層間絶縁膜を形成する第１０の工程と、
 前記無機層間絶縁膜上に有機層間絶縁膜を形成する第１１の工程と、
 前記無機層間絶縁膜および前記有機層間絶縁膜に前記半導体層に達するコンタクトホールを形成する第１２の工程と、
 前記有機層間絶縁膜上に画素電極を形成する第１３の工程と、
 前記半導体層と前記画素電極とを電気的に接続する配線を形成する第１４の工程と、を含み、
 前記補助配線は、前記配線を形成する導電膜より抵抗率の小さいＡｌ、ＣｕまたはＡｇのいずれかの元素からなる導電膜、または前記元素を含む合金材料からなる導電膜と、Ｔａ、Ｗ、Ｔｉ、Ｍｏ、Ｃｒ、ＮｄもしくはＮｂのいずれかの元素からなる導電膜、または前記元素を主成分とする化合物からなる導電膜とを積層させて形成されることを特徴とする電気光学装置の作製方法。
 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁体上の薄膜トランジスタ（以下、TFTという）で形成された回路を含む電気光学装置およびその作製方法に関する。特に、本発明は、画素部とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置に代表される電気光学装置および電気光学装置を表示部に用いた電気器具に関する。

【0002】

【従来の技術】絶縁表面を有する基板上に形成された厚さ数〜数百nm程度の半導体膜を用いたTFTで形成した大面積集積回路を含む電気光学装置の開発が進んでいる。また、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にしたTFT（以下、ポリシリコンTFTという）は電界効果移動度が高いことから、いろいろな機能回路を形成することが可能であり注目されている。開発が進んでいる電気光学装置の代表例として、アクティブマトリクス型液晶表示装置および密着型イメージセンサなどが知られている。

【0003】アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路が同一基板上に形成される。

【0004】アクティブマトリクス型液晶表示装置の画素回路には、数十から数百万個の各画素にTFT（以下、画素TFTという。なお本明細書において、画素TFTとは、画素部に形成された、ソース領域およびドレイン領域に挟まれたチャネル形成領域を有する半導体層、ゲート電極、を有する電界効果型トランジスタのことを指す。）が配置され、その画素TFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0005】液晶は交流で駆動させるため、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑える必要があり、画素TFTの特性として、オフ電流値（画素TFTのオフ動作時に流れるドレイン電流の値）が十分低いことが要求される。しかし、ポリシリコンTFTのオフ電流は高くなりやすいという問題がある。そこで、オフ電流値を低減するための構造として低濃度ドレイン（Lightly Doped Drain）構造が知られている。この構造は、チャネル形成領域と不純物が高濃度に添加される領域（ソース領域またはドレイン領域）との間に、不純物が低濃度添加された領域

を設けたものであり、この不純物が低濃度添加された領域をLDD領域と呼んでいる。

【0006】また、ポリシリコンTFTには、ホットキャリアによってオン電流値が変動してしまう劣化現象も見られる。このホットキャリアによる劣化を防ぐための構造としてGOLD（Gate-drain Overlapped LDD）構造が知られている。この構造は、LDD領域がゲート絶縁膜を介してゲート電極と重なるように設けられたものであり、ドレイン近傍のホットキャリア注入を防ぎ、信頼性を向上させるのに有効である。

【0007】一方で、オン電流値の劣化を防ぐ効果のあるGOLD構造には、通常のLDD構造と比較してオフ電流値が大きくなってしまい、また逆に、LDD構造はオフ電流値を抑える効果は高いが、ホットキャリア注入には弱いという問題があった。

【0008】

【発明が解決しようとする課題】大面積集積回路を有する半導体装置において、要求される特性を備えたTFTを形成しようとする、その製造工程が複雑なものとなり、工程数が増加してしまっていた。

【0009】製造工程数が増加すると、製造コストが高くなるばかりか、歩留まりの低下の原因にもなる。

【0010】また、近年、アクティブマトリクス型液晶表示装置はさらに、画面の大型化および高精細化が求められてきている。画面の大型化、高精細化によって配線の数、およびその長さは増大し、配線の抵抗率が大きくなってしまい、配線の終端への信号伝達に遅れが生じるため、配線の低抵抗化技術が必要となる。配線抵抗率を小さくするために、配線の線幅を広くする方法が考えられるが、線幅を広くした分、開口率は減少してしまう。また、配線の膜厚を厚くする方法では、段差が大きくなり、配線形成後に成膜する絶縁膜や電極用の金属膜を成膜する際に被覆性が低下し、歩留まりが悪くなってしまいうという問題が生じる。

【0011】また、走査線が増えるに従って液晶への充電時間が短くなるので、ゲート線の時定数（抵抗×容量）を小さくして高速で応答させる必要がある。例えば、ゲート線を形成する材料の比抵抗が $100\mu\Omega\text{cm}$ の場合には画面サイズが6インチクラスがほぼ限界となるが、 $3\mu\Omega\text{cm}$ の場合には27インチクラス相当まで表示が可能とされている。

【0012】また、配線材料としてアルミニウム（Al）や銅（Cu）を使用することも考えられるが、これらの金属は、耐食性や耐熱性が悪いといった欠点があった。従って、TFTのゲート電極をこのような材料で形成することは必ずしも好ましくなく、そのような材料をTFTの製造工程に導入することは容易ではなかった。勿論、配線を他の導電性材料で形成することも可能であるが、アルミニウム（Al）や銅（Cu）ほど低抵抗な材料はなく、大画面の液晶表示装置を作製することは

きなかった。

【0013】アクティブマトリクス型液晶表示装置のような複数の集積回路を有する半導体装置において、以上のような問題点は、要求される性能が高まるほど顕在化してきている。

【0014】そこで本発明では、TFTを用いて作製されるアクティブマトリクス型液晶表示装置に代表される電気光学装置ならびに半導体装置において、製造工程における工程数を削減して製造コストの低減および歩留まりの向上の実現、かつ、大型高精細化に伴う配線の低抵抗化を実現することを目的としている。

【0015】

【課題を解決する手段】本発明で開示する電気光学装置は、ゲート電極、保持容量線およびゲート線をかねる配線の材料として、半導体層に添加された不純物元素の活性化の工程で加えられる熱（400～700℃、代表的には500～600℃）に耐えうる耐熱性導電膜（代表的にはW、Ta、Mo、Ti、Cr、Si、もしくはNbの元素からなる導電膜、または前記元素を含む合金からなる導電膜）を用いている。しかし、これらの耐熱性導電膜は、抵抗が高いため、配線長が長くなると配線抵抗による信号遅延が問題となってくる。そこで、前記配線を形成する耐熱性導電膜より抵抗率の小さい材料からなる補助配線をゲート線の抵抗率を小さくするための補助として、活性化工程の後、ゲート線に沿うようにかつ接して設けている。この補助配線を設けることにより、ゲート線全体の抵抗率を小さくすることができる。なお、本明細書では、ゲート線全体の抵抗率を小さくするために設けた配線のことを補助配線という。

【0016】また、耐熱性導電膜からなる配線をむき出しのまま活性化のための熱処理を行うと、前記配線の表面は酸化され、抵抗率がさらに大きくなってしまいう問題がある。この問題を解決するには、活性化工程の際に、前記配線の酸化を防ぐ目的で、前記配線等を覆う保護膜を設けて活性化を行い、活性化工程が済んだらこの保護膜を取り除いて後の工程を行うこともできる。しかし、この方法では、工程数が増えるばかりでなく、保護膜を取り除くためのエッチングで、絶縁膜と耐熱性導電膜との選択比を確保することが困難であった。そこで、本発明では、保護膜を形成する必要がないように、前記配線が酸化されないような低酸素雰囲気下（具体的には、酸素濃度が100ppm以下（好ましくは、20ppm以下）の窒素ガスもしくは希ガス雰囲気下）での活性化工程を採用している。

【0017】以上のように、本発明を実施することで、バスライン（特にゲート線）の抵抗率を小さくすることができ、信号遅延による画質不良を低減することが可能となる。

【0018】

【発明の実施の形態】本発明で開示する電気光学装置の

画素部について、図1、図2を用いて説明する。なお、図1、図2は画素部の上面図である。

【0019】基板10上に、下地絶縁膜11を形成する。（図1（B））次いで、下地絶縁膜11上に半導体膜を形成し所望の形状にパターンニングして半導体層12、13を形成する。半導体層12は画素TFTの活性層となり、半導体層13は保持容量の下部電極として機能する。また、半導体層12、13を覆うゲート絶縁膜14（図1（B））上には、図1の上面図から確認できるように、 n 行目の画素のゲート電極15aと $(n-1)$ 行目の保持容量線15bおよびゲート線15cをかねる構造の配線15が設けられる。なお、この配線15を形成する耐熱性導電膜の代表的なものとしては、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素からなる導電膜、または前記元素を主成分とする合金からなる導電膜もしくは前記元素を主成分とする化合物からなる導電膜があげられる。また、周期表の13族または15族に属する元素を不純物元素としてドーピングした多結晶シリコン膜に代表される半導体膜や、銀（Ag）、パラジウム（Pd）および銅（Cu）からなるAgPdCu合金からなる導電膜を用いてもよい。配線15は、耐熱性を重要視した耐熱性導電膜からなるため、抵抗率が大きいという問題がある。そこで配線（ゲート線）の抵抗率を小さくすることを目的として、配線15より抵抗率の小さい導電膜からなる補助配線17が配線15に沿うようにかつ接して設けられている。図1（A）で示すように、補助配線17が、配線15から離れることなく、また図1（B）で示すように、層間に絶縁膜を形成することなく配線15上に接して設けられている。

【0020】ここまでの工程が終了したら、無機層間絶縁膜18、有機層間絶縁膜19を設ける。（図2（B））

次いで形成される画素電極20は、透明導電膜としてインジウム酸化スズ（Indium Tin Oxide：ITO）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）、酸化亜鉛（ZnO）、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ $\text{ZnO}:\text{Ga}$ ）といった導電膜を適用することができる。次いで、ソース線16、接続配線22が形成される。ソース線16は、半導体層12と接続されており、接続配線22は、半導体層13と画素電極20とを電気的に接続するために形成されている。接続配線22は、膜厚50nmのTi膜と膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜からなる。なお、Ti膜を積層するのは、半導体層（Si）13と接続配線22とが接続された時、Si中にAlが拡散してしまうのを防ぐ目的と、画素電極（ITO）20とAlとが直接接して電気的な腐食が起こるのを防ぐためである。

【0021】なお、画素電極20として反射性を有する導電性材料からなる膜を設けることで、反射型の表示装

置とすることができる。

【0022】以上のように示した構成でなる本発明における電気光学装置の作製方法について、以下の実施例で説明する。

【0023】（実施例1）ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について詳細に図3～図5を用いて説明する。

【0024】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板100を用いる。なお、基板100としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐える耐熱性が有するプラスチック基板を用いてもよい。

【0025】次いで、基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜101を形成する。本実施例では下地膜101として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜101の一層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜101aを10～200nm（好ましくは50～100nm）形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜101a（組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ ）を形成した。次いで、下地膜101の2層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜101bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化シリコン膜101b（組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ ）を形成した。

【0026】次いで、下地膜上に半導体層102～105を形成する。半導体層102～105は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターンニングして形成する。この半導体層102～105の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化（500℃、1時間）を行った後、熱結晶化（550℃、4時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜を

フォトリソグラフィ法を用いたパターンニング処理によって、半導体層102～105を形成した。

【0027】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²（代表的には200～300mJ/cm²）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²（代表的には350～500mJ/cm²）とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98%として行えばよい。

【0028】半導体層102～105を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。この不純物添加工程は、半導体膜の結晶化工程の前、半導体膜の結晶化工程の後、または、ゲート絶縁膜106を形成する工程の後のいずれかに行えばよい。

【0029】次いで、半導体層102～105を覆うゲート絶縁膜106を形成する。ゲート絶縁膜106はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化シリコン膜（組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ ）で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0030】また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0031】次いで、図3（A）に示すように、ゲート絶縁膜106上に膜厚20～100nmの第1の導電膜107と、膜厚100～500nmの第2の導電膜108とを積層形成する。本実施例では、膜厚30nmのTa₂N膜からなる第1の導電膜107と、膜厚370nmのW膜からなる第2の導電膜108を積層形成した。T

a N膜はスパッタ法で形成し、T aのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タンゲステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 $\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9%~99.999%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20 $\mu\Omega\text{cm}$ を実現することができた。

【0032】なお、本実施例では、第1の導電膜107をTaN、第2の導電膜108をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素からなる導電膜、前記元素を含む合金からなる導電膜、または前記元素を含む化合物からなる導電膜で形成してもよい。また、リン、ヒ素、ボロンといった不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン(TiN)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0033】次に、フォトリソグラフィ法を用いてレジストからなるマスク109~112を形成し、配線形成するための第1のエッチング処理を行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄およびCl₂を用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合したエッチング条件ではW膜およびTaN膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させるとよい。

【0034】上記第1のエッチング処理により、基板側に印加するバイアス電圧の効果により第1の導電膜および第2の導電膜の端部がテーパ形状となる。このテーパ部の角度は15~45°となる。こうしてW膜およ

びTaN膜を、n行目の画素のゲート線、ゲート電極および(n-1)行目の保持容量線をかねるようなゲート線にエッチングする。なお、本明細書中において、ゲート電極は該ゲート線が半導体層と重なる領域に形成されたゲート線、保持容量線は保持容量を形成する領域に形成されたゲート線のことを指すこととする。以上までの工程で、ゲート電極(A)113~115、保持容量線(A)116に覆われない領域は20~50nm程度エッチングされ、薄くなった領域を有するゲート絶縁膜117が形成される。(図3(B))

【0035】次いで、レジストからなるマスク109~112を除去せずに第2のエッチング処理を行う。エッチング用ガスにCF₄とCl₂とO₂を用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。

【0036】上記第2のエッチング処理によりW膜を異方性エッチングし、かつ第1の導電膜であるTaN膜がW膜より遅いエッチング速度でわずかにエッチングされ、ゲート電極(B)118~120(第1の導電膜118a~120aと第2の導電膜118b~120b)、保持容量線(B)121が形成される。

【0037】次いで、第1のドーピング処理を行う。ドーピング処理はイオンドーブ法、もしくはイオン注入法で行えばよい。この場合、高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。n型を付与する不純物元素としては周期表の15族に属する元素、典型的にはリン(P)またはヒ素(As)を用いるが、ここではリン(P)を用いた。ゲート電極(B)118~120および保持容量線121をマスクとして用い、第1の導電膜118a~121aのテーパ部下方における半導体層にも不純物が添加されるようにドーピングを行う。これにより、不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ のn型不純物領域122a~125aと、122a~125aの不純物濃度より若干、不純物濃度が低いn型不純物領域122b~125bが形成される。(図4(A))

【0038】次いで、マスク109~112を除去した後、新たにレジストからなるマスク126、127を形成して第2のドーピング処理を行う。マスク126、127をマスクにして、不純物濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ のn型不純物領域(以下、n型不純物領域(A))128、129が形成される。

【0039】ここまでの工程により、nチャネル型TFTを形成する半導体層102および104には、不純物濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ のn型不純物領域(以下、n型不純物領域(A))128および129、不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の

n型不純物領域（以下、n型不純物領域（B））122cおよび124cと、不純物濃度が122cおよび124cの不純物濃度より若干、低くなっているn型不純物領域（以下、n型不純物領域（C）という）122dおよび124dが形成される。なお、ここで形成されたn型不純物領域（A）128および129は、nチャネル型TFTのソース領域またはドレイン領域となる。（図4（B））

【0040】また、n型不純物領域（B）122cおよび124cは、nチャネル型TFTのLDD領域として機能する。また、n型不純物領域（B）122cおよび124cに添加された不純物元素は、後のゲッタリング工程で主に、チャネル形成領域となる半導体層中のニッケル濃度を低減させるために添加する。そして、レジストからなるマスク126および127を除去した後、新たにレジストからなるマスク130、131を形成して、第3のドーピング処理を行う。

【0041】この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層にp型を付与する不純物元素を添加し、p型不純物領域132～135を形成する。ゲート電極（B）119、保持容量線121をマスクとして用い、p型不純物元素を添加して自己整合的にp型不純物領域132～135を形成する。いずれの領域も不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するためになんら問題は生じない。（図4（C））

【0042】その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は炉を用いる熱アニール法を行う。熱アニール法の条件としては、酸素濃度が100ppm以下、好ましくは20ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。

【0043】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルがn型不純物領域（A）（128、129）にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0044】本活性化処理は、低濃度の酸素雰囲気下で行われるため、無機層間絶縁膜を形成する前に活性化処理を行うことができる。ただし、用いた配線材料が熱に弱い場合には、配線等を保護するため無機層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）

を形成した後で活性化処理を行うことが好ましい。

【0045】活性化工程後、ゲート線に沿うようにつけて接して補助配線140を形成する。補助配線は、ゲート電極を形成する導電膜より抵抗率の低い材料からなる導電膜、例えばAl、Cu、Agのいずれかの元素からなる導電膜、または前記元素を含む合金からなる導電膜からなる。また、この抵抗率の小さい導電膜からなる補助配線（補助配線（A）とする）を保護するために、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素からなる導電膜、前記元素を主成分とする合金からなる導電膜、または前記元素を主成分とする化合物からなる導電膜からなる補助配線（B）を補助配線（A）上に形成してもよい。以上のように、低抵抗材料からなる補助配線をゲート線に沿うようにつけて接して設けることで、ゲート線全体の抵抗率を抑えることができる。（図5（A））

【0046】次いで、全面を覆う無機層間絶縁膜141を形成する。この無機層間絶縁膜141は、プラズマCVD法またはスパッタ法を用いて、厚さ100～200nmとしてシリコンを含む絶縁膜から形成される。（図5（B））

【0047】無機層間絶縁膜141を形成した後、含む窒素雰囲気中で410℃、1時間の熱処理を行った。なお、水素を含む雰囲気下で熱処理を行ってもよい。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、水素雰囲気下におけるファーンেসアニール、もしくはプラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0048】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。

【0049】次いで、無機層間絶縁膜141上に有機樹脂材料からなる有機層間絶縁膜142を形成する。本実施例では、アクリル樹脂を用いた。次いで、各不純物領域に達するコンタクトホールを形成するためのパターニングを行う。

【0050】その後、透明導電膜を80～120nmの厚さで形成し、パターニングすることにより画素電極150を形成する。透明導電膜には、酸化インジウム・スズ（ITO）、酸化インジウム酸化亜鉛合金（In₂O₃-ZnO）、酸化亜鉛（ZnO）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ZnO:Ga）を好適に用いることができる。

【0051】次いで、不純物領域を電気的に接続する接続配線151～156を形成する。なお、これらの接続配線は、膜厚50nmのTi膜と膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターニングし

て形成する。

【0052】本実施例では、画素電極150として、透明導電膜を用いた例を示したが、反射性を有する導電性材料を用いて画素電極を形成すれば、反射型の表示装置を作製することができる。その場合、電極を作製する工程で画素電極を同時に形成でき、その画素電極の材料としては、AlまたはAgを主成分とする膜、またはそれら積層膜の反射性の優れた材料を用いることが望ましい。

【0053】以上のようにして、nチャネル型TFT201およびpチャネル型TFT202を有する駆動回路205と、画素TFT203および保持容量204とを有する画素部206を同一基板上に形成することができる。本明細書中では、このような基板を便宜上、アクティブマトリクス基板と呼ぶ。

【0054】本実施例で形成されたnチャネル型TFTの半導体層において、n型不純物領域(B)およびn型不純物領域(C)の幅をそれぞれW1、W2とすると、W1は、0.5~1.5 μ m、W2は、1.0~3.0 μ mの幅となるように形成することができる。なお、W1+W2が1.5~4.5 μ m(好ましくは2.0~3.0 μ m)となるようにレジストからなるマスク129、130を形成すればよい。本実施例で示した作製工程によれば、n型不純物領域(B)およびn型不純物領域(C)の幅を長く形成することができるため、オフ電流を下げるのに有効である。

【0055】(実施例2)本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図7を用いる。なお、図2の上面図におけるA-A'線に対する断面図(ソース線)は、図7(B)に、図2のB-B'線に対する断面図(画素TFT)は図7のB-B'線の領域、図2のC-C'線に対する断面図(保持容量)は図7のC-C'線の領域の示す。

【0056】まず、実施例1に従い、図6の状態のアクティブマトリクス基板を得た後、図6のアクティブマトリクス基板上に配向膜180を形成しラビング処理を行う。なお、本実施例では配向膜180を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0057】次いで、対向基板181を用意する。この対向基板には、着色層186、遮光層187が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層189を設けた。このカラーフィルタと遮光層189とを覆う平坦化膜188を設けた。次いで、平坦化膜188上に透明導電膜からなる対向電極182を画素部に形成し、対向基板の全面

に配向膜183を形成し、ラビング処理を施した。

【0058】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材184で貼り合わせる。シール材184にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料185を注入し、封止剤(図示せず)によって完全に封止する。液晶材料185には公知の液晶材料を用いれば良い。このようにして図7に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0059】こうして得られた液晶表示パネルの構成を図8の上面図を用いて説明する。なお、図7と対応する部分には同じ符号を用いた。

【0060】図8(A)で示す上面図は、画素部、駆動回路、FPC(フレキシブルプリント配線板:Flexible Printed Circuit)を貼り付ける外部入力端子210、外部入力端子と各回路の入力部までを接続する接続配線211などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板181とがシール材184を介して貼り合わされている。

【0061】ゲート線側駆動回路206aと重なるように対向基板側に遮光層189aが設けられ、ソース線側駆動回路206bと重なるように対向基板側に遮光層189bが形成されている。また、画素部207上の対向基板側に設けられたカラーフィルタ212は遮光層と、赤色(R)、緑色(G)、青色(B)の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色(R)の着色層、緑色(G)の着色層、青色(B)の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0062】ここでは、カラー化を図るためにカラーフィルタ212を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【0063】また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層189a、189bを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電気器具の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

【0064】また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域

以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【0065】また、外部入力端子にはベースフィルム213と配線214から成るFPCが異方性導電性樹脂215で貼り合わされている。さらに補強板で機械的強度を高めている。

【0066】図8（B）は図8（A）で示す外部入力端子210のe-e'線に対する断面図を示している。217は、画素電極156を形成するために成膜した導電膜からなる配線である。導電性粒子216の外径は配線217のピッチよりも小さいので、接着剤215中に分散する量を適当なものとすると隣接する配線と短絡することなく対応するFPC側の配線と電気的な接続を形成することができる。

【0067】以上のようにして作製される液晶表示パネルは各種電気器具の表示部として用いることができる。

【0068】（実施例3）実施例1の図3（A）で示した第1の導電膜および第2の導電膜を積層させる工程まで行ったら、レジストマスク301～303を設け、島状に導電膜をエッチングしてゲート電極（A）304～306を形成する。（図9（B））

【0069】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。エッチング用ガスにCF₄とC₂F₆とO₂とを用い、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）には20WのRF（13.56MHz）電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このエッチング条件によりW膜がエッチングされる。

【0070】上記第2のエッチング処理によりW膜を異方性エッチングし、かつ第1の導電膜であるTa₂N膜がW膜より遅いエッチング速度でわずかにエッチングされ、ゲート電極（B）308～310（第1の導電膜308a～310aと第2の導電膜308b～310b）が形成される。

【0071】次いで、第1のドーピング処理を行う。ドーピング処理はイオンドーピング法、もしくはイオン注入法で行えばよい。この場合、高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。n型を付与する不純物元素としては周期表の15族に属する元素、典型的にはリン（P）またはヒ素（As）を用いるが、ここではリン（P）を用いた。ゲート電極（B）308～310をマスクとして用い、第1の導電膜308a～310aのテーパー部下方における半導体層にも不純物が添加されるようにドーピングを行う。これにより、不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19}$ atoms/cm³のn型不純物領域311a～313aと、311a～313aの不純物濃度より若干、不純物濃度が低いn型不純物領域311b～313bが形成される。なお、保持容量を形

成する領域の半導体層105には全面にn型不純物元素が添加されn型不純物領域314aが形成される。（図10（A））

【0072】次いで、マスク301～303を除去した後、新たにレジストからなるマスク315、316を形成して第2のドーピング処理を行う。マスク315、316をマスクにして、不純物濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³のn型不純物領域（以下、n型不純物領域（A））317、318が形成される。

【0073】ここまでの工程により、nチャネル型TFTを形成する半導体層102および104には、不純物濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³のn型不純物領域（以下、n型不純物領域（A））317および318、不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19}$ atoms/cm³のn型不純物領域（以下、n型不純物領域（B））311cおよび313cと、不純物濃度が311cおよび313cの不純物濃度より若干、低くなっているn型不純物領域（以下、n型不純物領域（C））という311dおよび313dが形成される。なお、ここで形成された不純物領域317および318は、nチャネル型TFTのソース領域またはドレイン領域となる。（図10（B））

【0074】また、n型不純物領域（B）311cおよび313cは、nチャネル型TFTのLDD領域として機能する。また、n型不純物領域（B）311cおよび313cに添加された不純物元素は、後のゲッタリング工程で主に、チャネル形成領域となる半導体層中のニッケル濃度を低減させるために添加する。そして、レジストからなるマスク315および316を除去した後、新たにレジストからなるマスク319、320を形成して、pチャネル型TFTの活性層となる半導体層にp型を付与する不純物元素を添加して自己整合的にp型不純物領域321～323を形成する第3のドーピング処理を行う。いずれの領域も不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するためになら問題は生じない。（図10（C））

【0075】その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は炉を用いる熱アニール法を行う。熱アニール法の条件としては、酸素濃度が100ppm以下、好ましくは20ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラビッドサーマルアニール法（RTA法）を適用することができる。

【0076】次いで、活性化工程終了後、ゲート電極を構成する島状の導電膜と一部が重なるように、配線（ゲ

ート線) 330を形成する。(図9(B)) 配線330は、単層でも積層にしてもよい。なお、積層にする本実施例では、第1層目の導電膜(A)として、抵抗率の小さいAl、Cu、Agのいずれかの元素からなる導電膜、または前記元素を含む合金からなる導電膜から形成し、導電膜(A)上に積層する導電膜(B)は、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素からなる導電膜、前記元素を主成分とする合金からなる導電膜または前記元素を主成分とする化合物からなる導電膜からなる。導電膜をエッチングして、ゲート線 10 330aおよび保持容量線330bを形成する。

【0077】次いで、ゲート線330a、保持容量線330b、ゲート電極を覆うようにして、無機層間絶縁膜331を形成し、窒素雰囲気中で410℃、1時間の熱処理して、半導体層を水素化する工程を行う。水素化の工程後、その上に有機層間絶縁膜332を形成する。無機層間絶縁膜331としては、酸化窒化シリコン膜、または窒化シリコン膜を用いればよく、有機層間絶縁膜332としては、アクリル樹脂膜を用いた。

【0078】その後、各不純物領域に達するコンタクト 20 ホールを形成する。次いで、画素電極150を形成した後、配線151~156を形成し、アクティブマトリクス基板が完成する。(図11)なお、図12には、本実施例を用いて作製したアクティブマトリクス基板の上面図(ただし、画素電極150および接続配線等は図示せず。)を示した。

【0079】本実施例で完成したアクティブマトリクス基板は、実施例2と組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【0080】(実施例4) 実施例1の図4(C)の工程 30 まで行ったら、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、(酸素濃度が100ppm以下)、好ましくは20ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行う。

【0081】次いで、各画素に設けられるようにゲート電極を形成しゲート電極の一部を覆うように保持容量線 40 およびゲート線をかねる配線として補助配線401を成膜する。なお、補助配線は単層でも積層でもかまわないが、積層構造とする場合、一層目として形成される補助配線(A)は、抵抗率の小さいAl、Cu、Agのいずれかの元素からなる導電膜、または前記元素を含む合金からなる導電膜からなる。補助配線(B)は、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素からなる導電膜、または前記元素を主成分とする合金からなる導電膜または前記元素を主成分とする化合物からなる導電膜から形成すればよい。

【0082】次いで、半導体層を水素化するために、窒素雰囲気中で410℃、1時間の熱処理を行った。

【0083】次いで、補助配線401を覆うように無機層間絶縁膜402を形成する。この無機層間絶縁膜402としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化シリコン膜を形成した。酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0084】本実施例では、ゲート電極、保持容量線およびゲート線をかねる配線に接してかつ沿うように低抵抗な導電膜からなる補助配線401が形成されているため、低抵抗の配線を実現することができる。

【0085】その後、層間絶縁膜に各不純物領域へ達するコンタクトホールを形成する。次いで、実施例1の図6に示した工程から後の工程にしたがって、画素電極150、配線151~156を形成し、アクティブマトリクス基板を作製することができる。(図13)

【0086】以上の様にして、nチャネル型TFT201及びpチャネル型TFT202を有する駆動回路205と、画素TFT203及び保持容量204とを有する画素部206を同一基板上に形成することができる。なお、図14には、ゲート電極、ゲート線および保持容量配線をかねるように形成された第1の導電膜および第2の導電膜上に、補助配線を形成して作製したアクティブマトリクス基板の上面図(ただし、画素電極、接続配線等は図示せず)を示した。

【0087】本実施例は、実施例2と組み合わせて、アクティブマトリクス型液晶表示装置を形成することが可能である。

【0088】(実施例4) 本実施例では、求められる特性によってTFTを作りわけける方法について説明する。なお、実施例1と同一の工程については同一の符号を用いる。

【0089】実施例1の工程に従い、基板100上に下地膜101およびアモルファスシリコン膜を形成し、結晶化の工程を行って島状の半導体層を得る。次に、島状半導体層502~506をゲート絶縁膜507で覆う。ゲート絶縁膜507はプラズマCVD法やスパッタ法で形成する。厚さは、40~150nmとし、シリコンを含む絶縁膜から形成する。もちろん、このゲート絶縁膜507は、シリコンを含む絶縁膜を単層または積層として用いることができる。

【0090】ゲート絶縁膜507上に膜厚20~100nmの導電膜(A)508および膜厚100~400nmの導電膜(B)509を形成する。導電膜(A)および導電膜(B)は、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、またはこれらの元素を主成分とする

合金材料もしくは化合物材料から形成する。また、リン(P)等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。なお、本実施形態では、導電膜(A)508としてTa₂N、導電膜(B)509としてWを用いた。(図19(B))

【0091】次に、フォトリソグラフィ法を用いてレジストからなるマスク510~514を形成し、ゲート電極および容量配線を形成するための第1のエッチング処理を行う。本実施形態では、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチングガスにCF₄、Cl₂およびO₂を用い、それぞれのガス流量比を25/25/10(SCCM)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。

【0092】この後、レジストからなるマスク510~514を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄およびCl₂を用い、それぞれのガス流量比を30/30(SCCM)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行う。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄およびCl₂を混合した第2のエッチング条件では、W膜およびTa₂N膜が同程度にエッチングされ、第1の形状のゲート電極および配線515~519が形成される。

【0093】レジストからなるマスク510~514を除去せずに第1のドーピング処理を行う。半導体層502~506に、n型を付与する不純物元素(以下、n型不純物元素という)を添加する。ドーピング処理は、イオンドープ法、もしくはイオン注入法で行えばよい。n型不純物元素としては、周期律表の第15族に属する元素、典型的にはリン(P)またはヒ素(As)といった元素を用いる。この場合、第1の形状のゲート電極および容量配線515~519がマスクとなって自己整合的にn型不純物濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³のn型不純物領域(n⁺)520a~520eが形成される。(図19(C))

【0094】次に、レジストからなるマスク510~514をそのままに第2のエッチング処理を行う。エッチングガスにCF₄、Cl₂およびO₂を用い、それぞれのガス流量比を20/20/20(SCCM)とし、1.0Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)には、20WのRF(13.56MHz)電力を投入して約80秒のエッチング処理を行う。これにより第2の形状のゲート電極および配

線521~525が形成される。

【0095】次いで、レジストからなるマスク510~514をそのままに、第2の形状のゲート電極および容量配線521~525をマスクとして用い、第2の形状の導電層(A)(Ta₂N膜)の下部にもn型不純物元素が添加されるように第2のドーピング処理を行う。この処理により、n型不純物領域(n⁺)よりチャネル形成領域側にn型不純物元素濃度が $1 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³のn型不純物領域(n⁺)526a~526eが形成される。(図20(A))

【0096】次いで、レジストからなるマスク510~514を除去し、後のnチャネル型TF₂Tおよび後の画素TF₂Tを覆うレジストからなるマスク527、528を形成し、第3のドーピング処理を行う。後の第1のpチャネル型TF₂Tおよび後の第2のpチャネル型TF₂Tの半導体層に第2の形状のゲート電極522、523、容量配線525をマスクにしてp型不純物元素を添加して、自己整合的にp型不純物領域(p⁺)529a~529cおよびp型不純物領域(p⁺)529d~529fを形成する。本実施形態では、p型不純物領域はジボラン(B₂H₆)を用いたイオンドープ法で形成する。あらかじめ、pチャネル型TF₂Tの半導体層には、n型不純物元素が添加されているが、第3のドーピング処理の際に添加されるp型不純物元素の濃度の方が高くなるようにドーピング処理することにより、後のpチャネル型TF₂Tのソース領域およびドレイン領域として機能するために何ら問題は生じない。なお、本明細書において、後のnチャネル型TF₂Tとは、作製工程中にあり完成後にnチャネル型TF₂Tとして機能するTF₂Tのことを指す。いずれのTF₂Tにも適応する。(図20(B))

【0097】次いで、レジストからなるマスク530、531で駆動回路のnチャネル型TF₂Tおよび第1のpチャネル型TF₂Tを覆い、第3のエッチング処理を行う。エッチングガスには、Cl₂を用い、ガスの流量は80(SCCM)とし、1.2Paの圧力でコイル型の電極に350WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒エッチングを行う。基板側(試料ステージ)、には50WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。こうして第3の形状のゲート電極532、533および容量配線544が形成される。(図20(C))

【0098】以上までの工程で、それぞれの半導体層に不純物領域が形成される。

【0099】この後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は炉を用いる熱アニール法を行う。熱アニール法の条件としては、酸素濃度が100ppm以下、好ましくは20ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱

アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。

【0100】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルがn型不純物領域（n'）（520a、520c、520d）にゲッタリングされ、主にチャンネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャンネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

【0101】本活性化処理は、低濃度の酸素雰囲気下で行われるため、無機層間絶縁膜を形成する前に活性化処理を行うことができる。ただし、用いた配線材料が熱に弱い場合には、配線等を保護するため無機層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【0102】活性化工程後、ゲート線に沿うようにかつ接して補助配線535を形成する。補助配線は、ゲート電極を形成する導電膜より抵抗率の小さい材料からなる導電膜、例えばAl、Cu、Agのいずれかの元素からなる導電膜、または前記元素を含む合金からなる導電膜からなる。また、この抵抗率の小さい導電膜からなる配線（配線（A）とする）を保護するために、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素からなる導電膜、前記元素を主成分とする合金からなる導電膜、または前記元素を主成分とする化合物からなる導電膜からなる配線（B）を配線（A）上に形成してもよい。以上のように、低抵抗材料からなる補助配線をゲ*

サンプル1	TaN/W（膜厚（nm））	30/370
サンプル2	TaN/W/Al-Nd（膜厚（nm））	30/370/250

【0110】図17に示すように、本発明を用いることによりゲート線の抵抗値を従来の1/4程度にまで低減することができた。

【0111】（実施例7）実際に、静止画を表示させた様子を観察した図面代用写真を図18に示す。

【0112】（実施例8）本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電気器具全てに本願発明を実施できる。

【0113】その様な電気器具としては、パーソナルコンピュータ、ディスプレイなどが挙げられる。それらの一例を図15に示す。

【0114】図15（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2

*ート線に沿うようにかつ接して設けることで、ゲート線全体の抵抗率を抑えることができる。（図21）

【0103】次いで、全面を覆う無機層間絶縁膜141を形成し、実施例1の図6からの工程に従ってアクティブマトリクス基板を完成させることができる。

【0104】本実施例で完成したアクティブマトリクス基板は、実施例2と組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【0105】（実施例5）図12には、ゲート電極が各画素にわけて設けられた例が示されているが、図22に示すように、第1の導電膜および第2の導電膜を各画素のゲート電極およびゲート線をかねる形状に形成し、このゲート線に重なるように、ゲート線と保持容量配線とをかねる補助配線を形成してもよい。

【0106】（実施例6）

【0107】実施例1を用いて作製できる画素TFTの抵抗値を測定した結果を図16に示す。ゲート線に抵抗をさげるためにAl-Nd配線を形成した結果、配線の抵抗値を1/2程度に低減できていることが確認できる。

【0108】また、ゲート線のシート抵抗値（ Ω/\square ）を測定した。図17に測定結果を示している。測定ポイントを10点とり、電圧を0～0.1（V）で0.001（V）ずつ、変動させ、各電圧における電流を測定することで、シート抵抗値を算出した。なお、ゲート線は以下の表のように設計されている。

【0109】

【表1】

003に適用することができる。

【0115】図15（B）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0116】図15（C）はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上（特に30インチ以上）のディスプレイには有利である。

【0117】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能で

ある。また、本実施例の電気器具は実施例1～4のどのような組み合わせからなる構成を用いても実現することができる。

【0118】

【発明の効果】本発明によれば、画面の大型化に伴う配線の抵抗率の上昇、配線終端での信号伝達の遅れ等の問題を解決することができる。また、本発明の構造を適応することで電気光学装置の動作性能や信頼性の向上を実現することができる。

【図面の簡単な説明】

【図1】 本発明の電気光学装置の画素部の上面を示す図。

【図2】 本発明の電気光学装置の画素部の上面を示す図。

【図3】 本発明の電気光学装置の作製工程を示す図。

【図4】 本発明の電気光学装置の作製工程を示す図。

【図5】 本発明の電気光学装置の作製工程を示す図。

【図6】 本発明の電気光学装置の作製工程を示す図。

【図7】 本発明の電気光学装置を示す図。

【図8】 本発明の電気光学装置を示す図。

【図9】 本発明の電気光学装置の作製工程を示す図。

【図10】 本発明の電気光学装置の作製工程を示す図。

* 図。

【図11】 本発明の電気光学装置の作製工程を示す図。

【図12】 本発明の電気光学装置の作製工程を示す図。

【図13】 本発明の電気光学装置の作製工程を示す図。

【図14】 本発明の電気光学装置の作製工程を示す図。

10 【図15】 本発明を用いて作製された電気光学装置を表示部に含む電気器具の一例を示す図。

【図16】 配線の抵抗の測定結果を示す図。

【図17】 配線のシート抵抗の測定結果を示す図。

【図18】 静止画像を表示させた電気光学装置の図面代用写真。

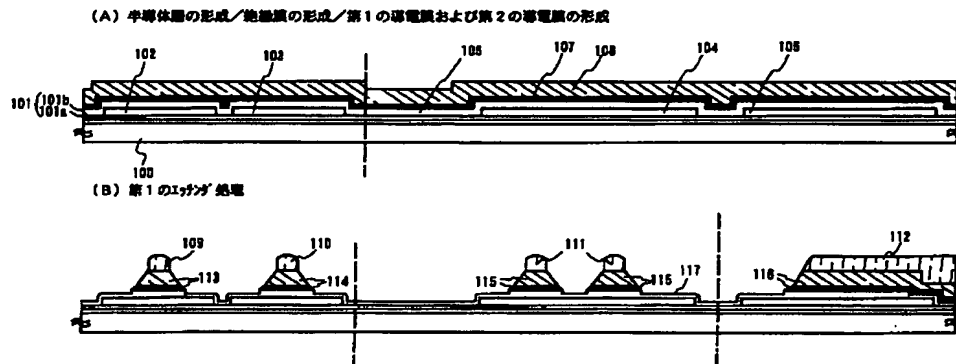
【図19】 本発明の電気光学装置の作製工程を示す図。

【図20】 本発明の電気光学装置の作製工程を示す図。

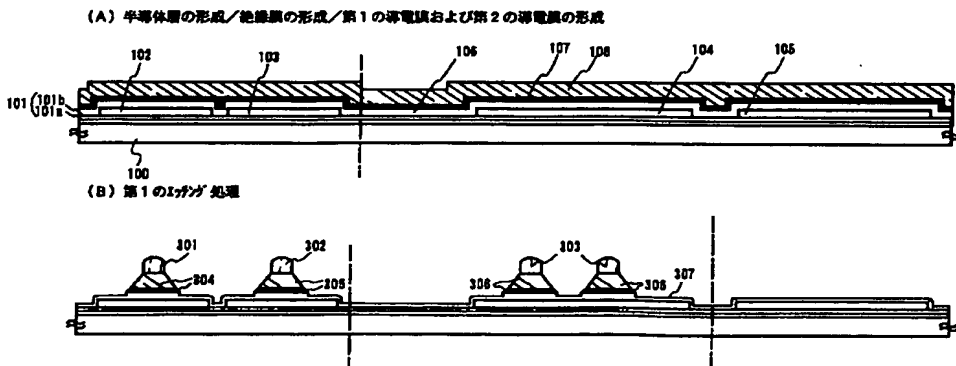
20 【図21】 本発明の電気光学装置の作製工程を示す図。

* 【図22】 本発明の実施の一例を示す図。

【図3】

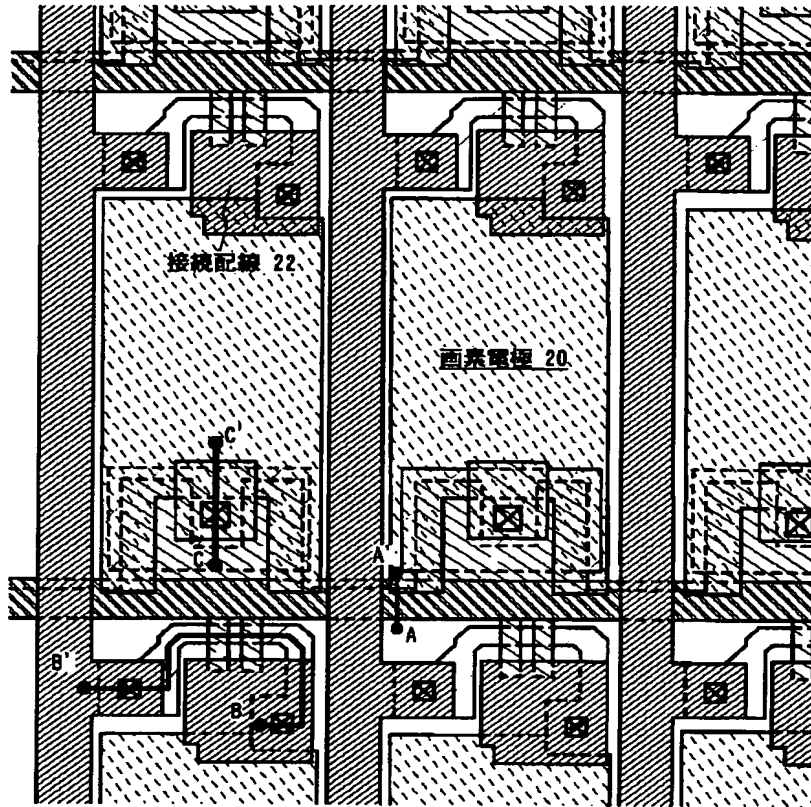


【図9】

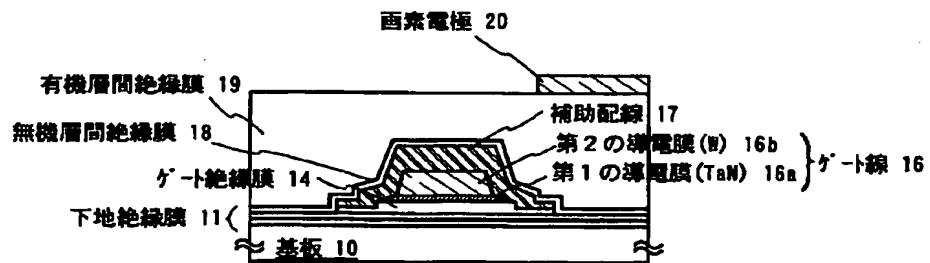


補助配線 17
第2の導電膜(W) 16b
第1の導電膜(TaN) 16a } ゲート線 16
ゲート絶縁膜 14
下地絶縁膜 11
基板 10

【図2】



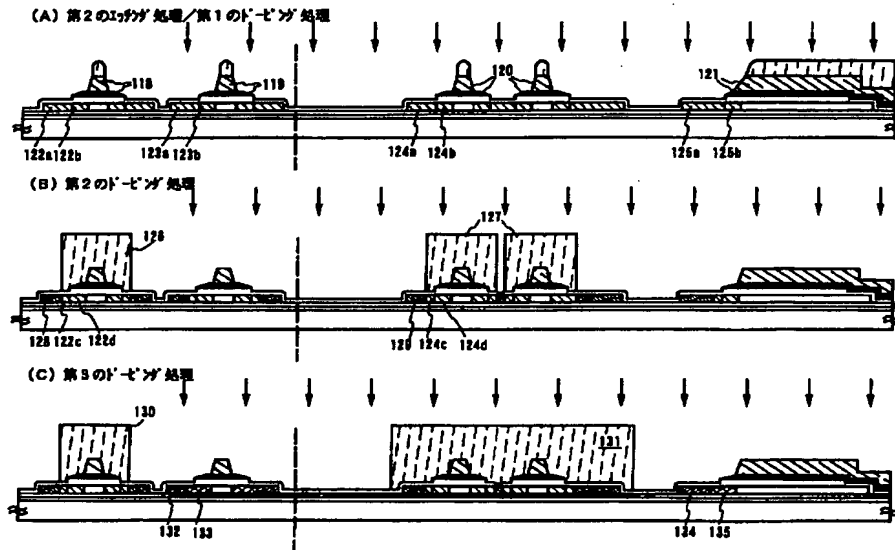
(A)



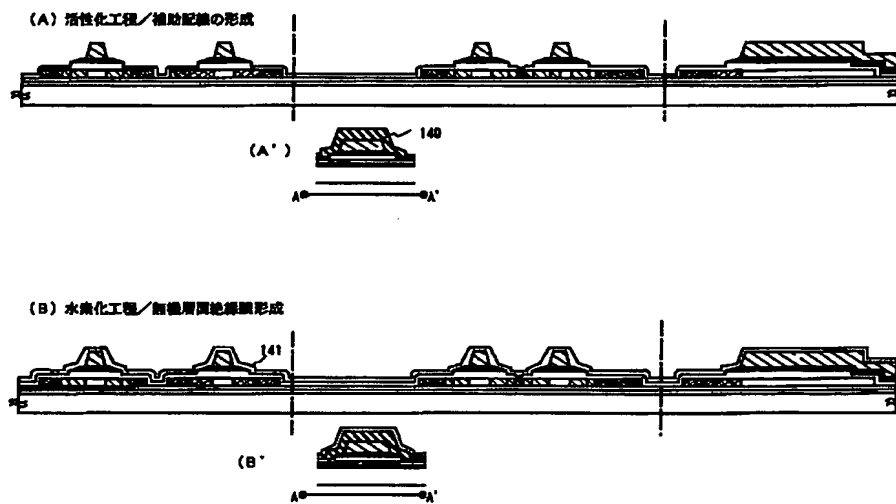
(B)

A ● ————— ● A'

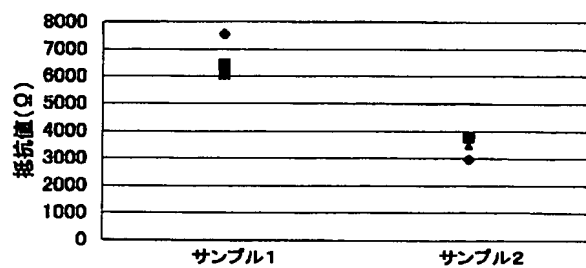
【図4】



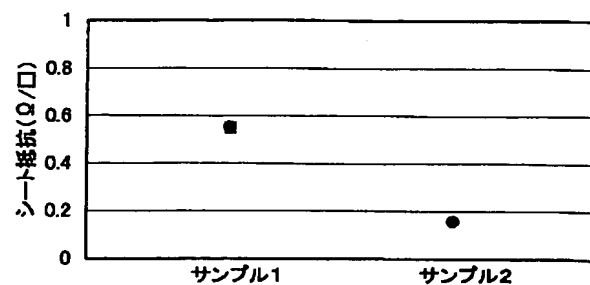
【図5】



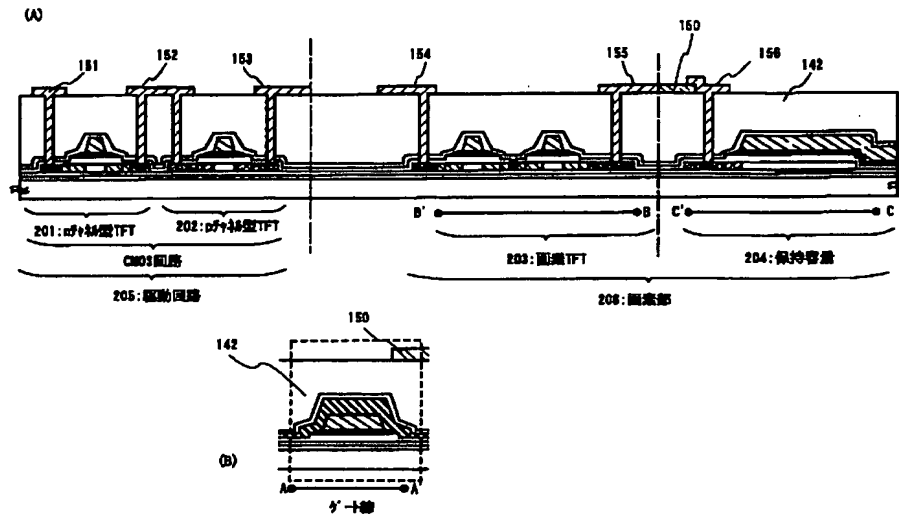
【図16】



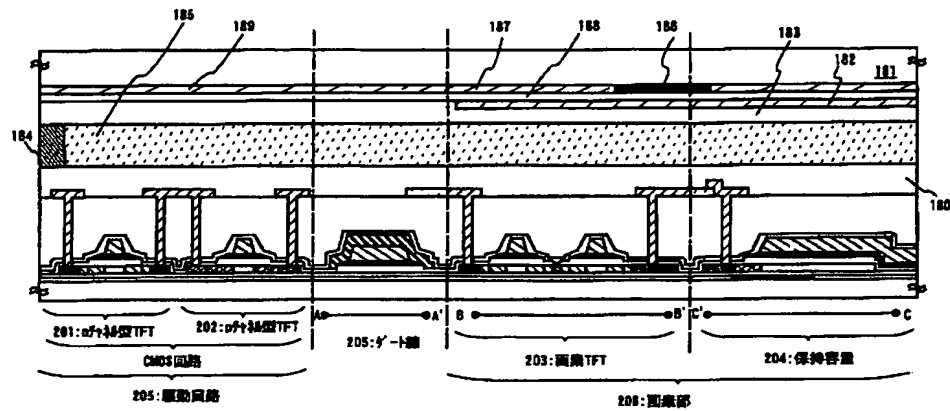
【図17】



【図6】

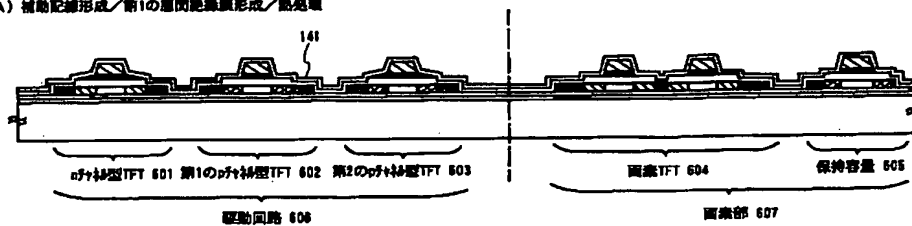


【図7】



【図21】

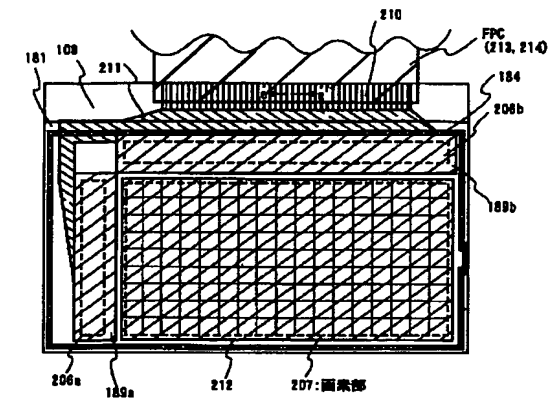
(A) 補助配線形成/第1の画素絶縁膜形成/熱処理



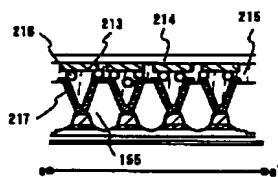
(A') ゲート上に補助配線形成



【図8】

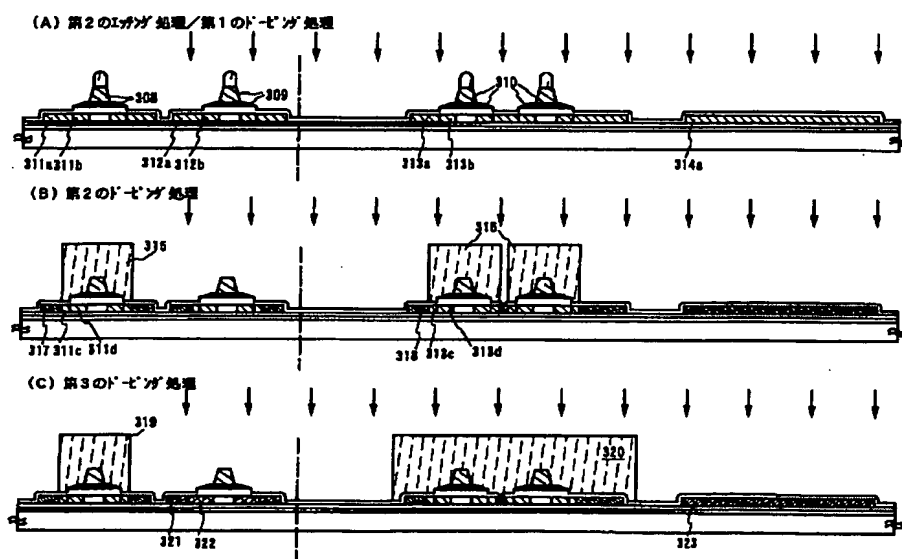


(A) 上面図

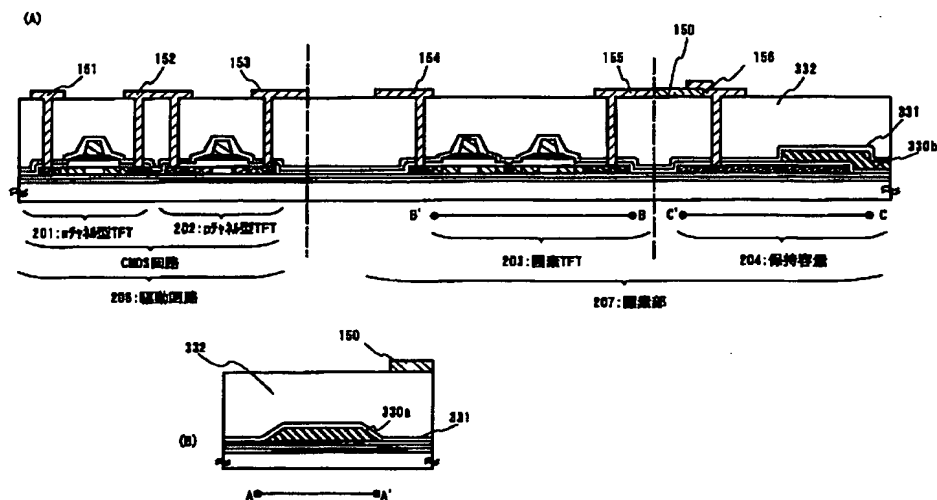


(B) e-e' 断面図

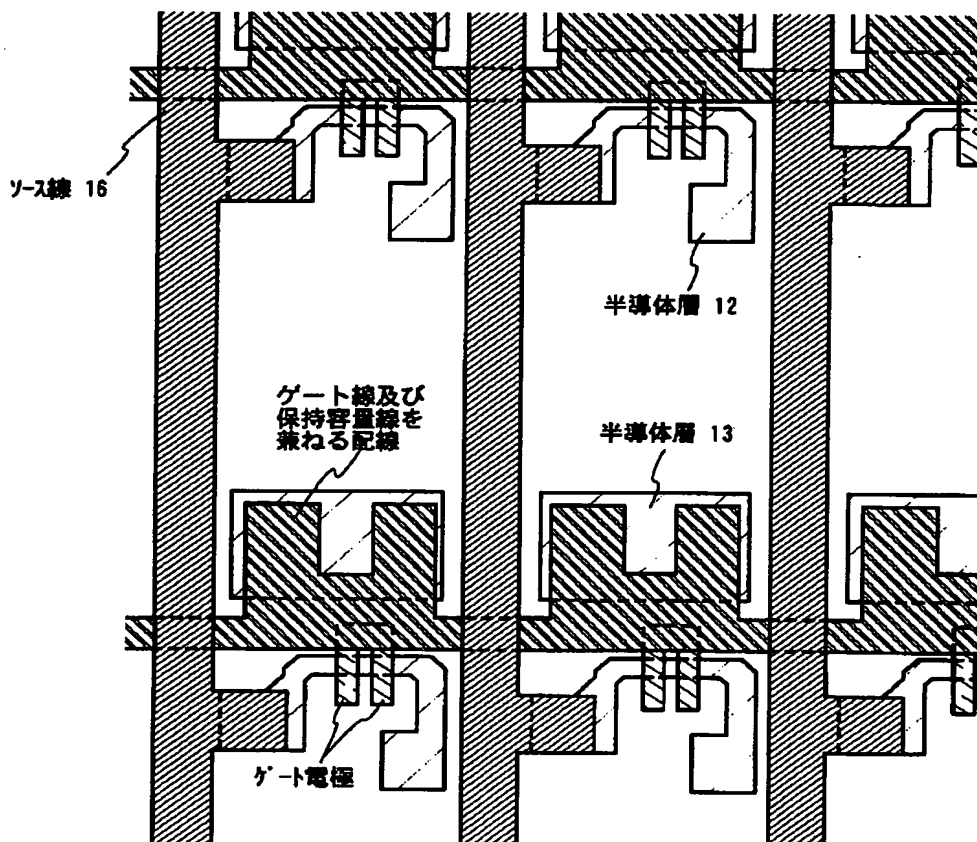
【図10】



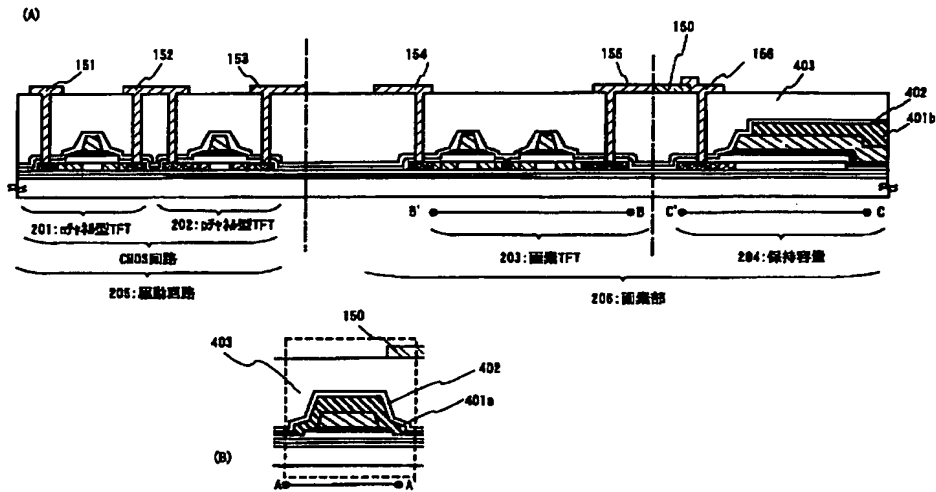
【図11】



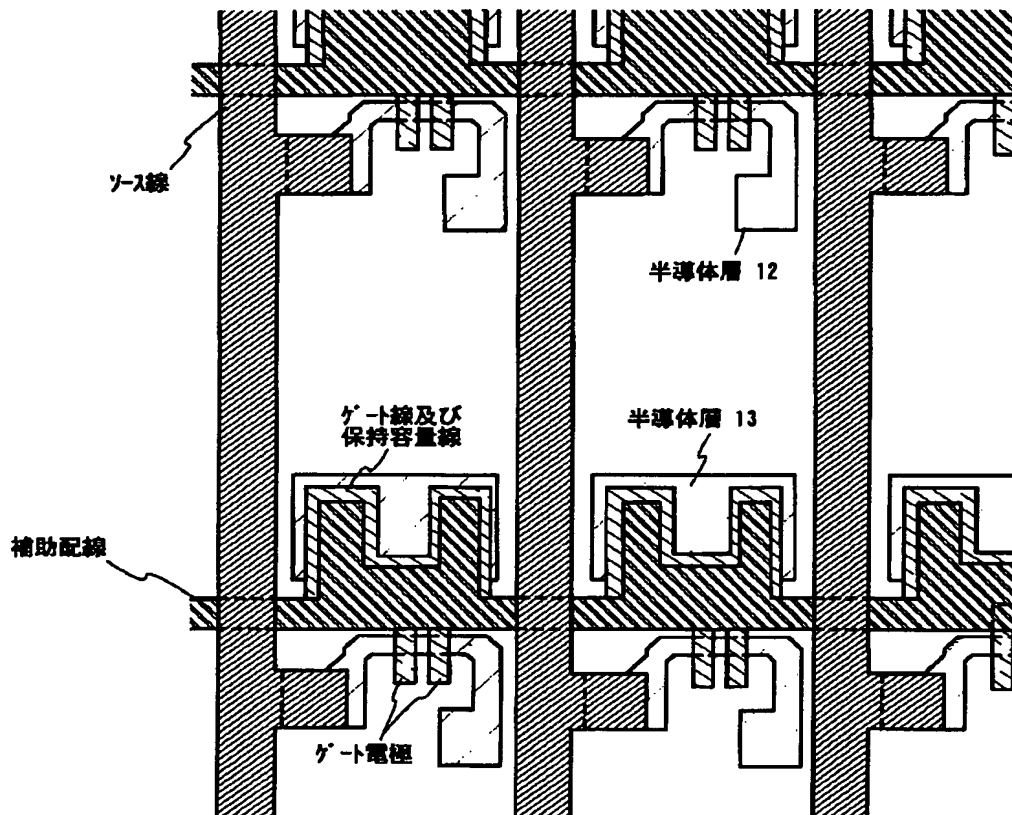
【図12】



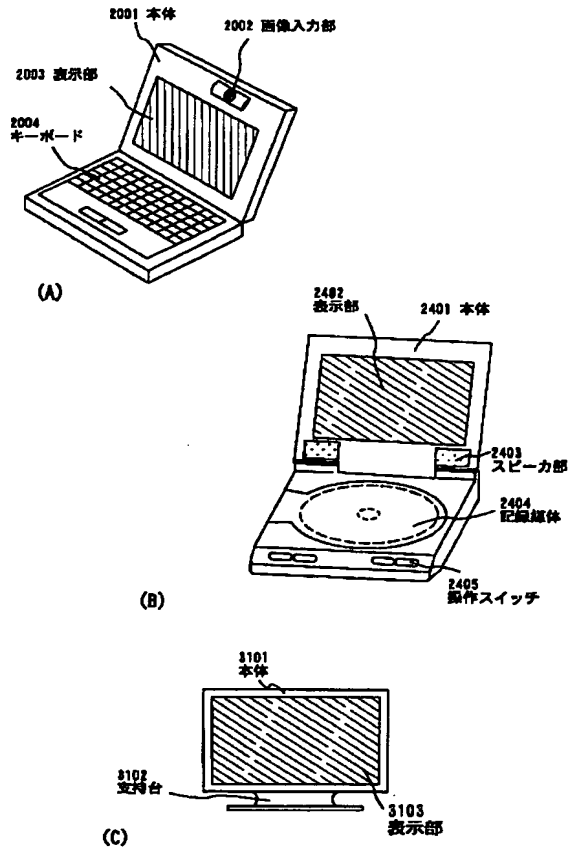
【図13】



【図14】



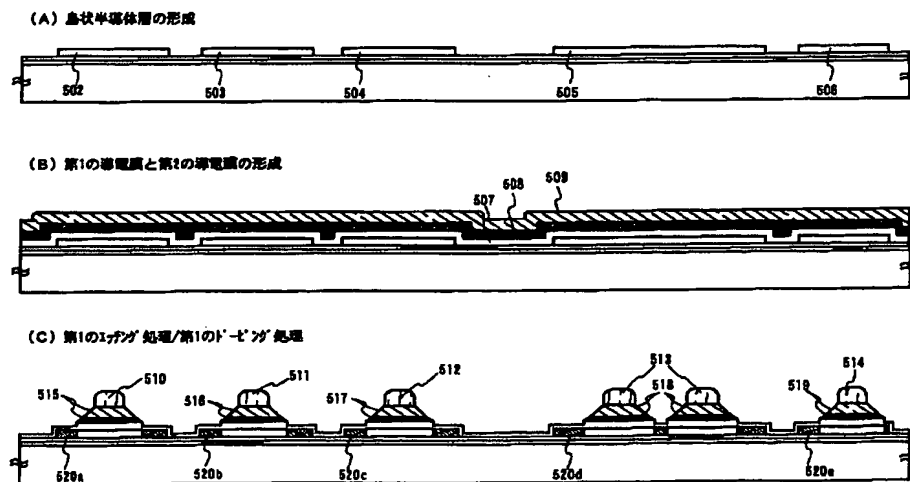
【図15】



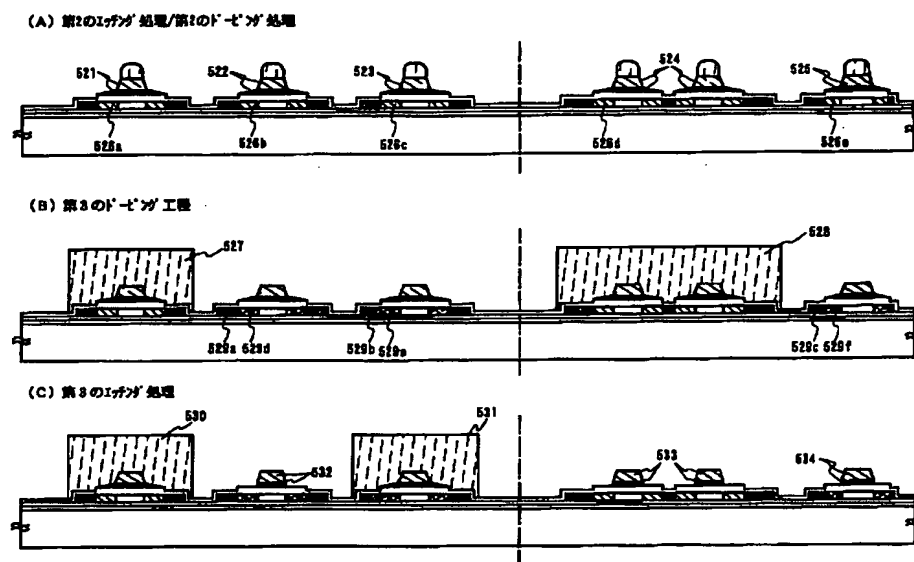
【図18】



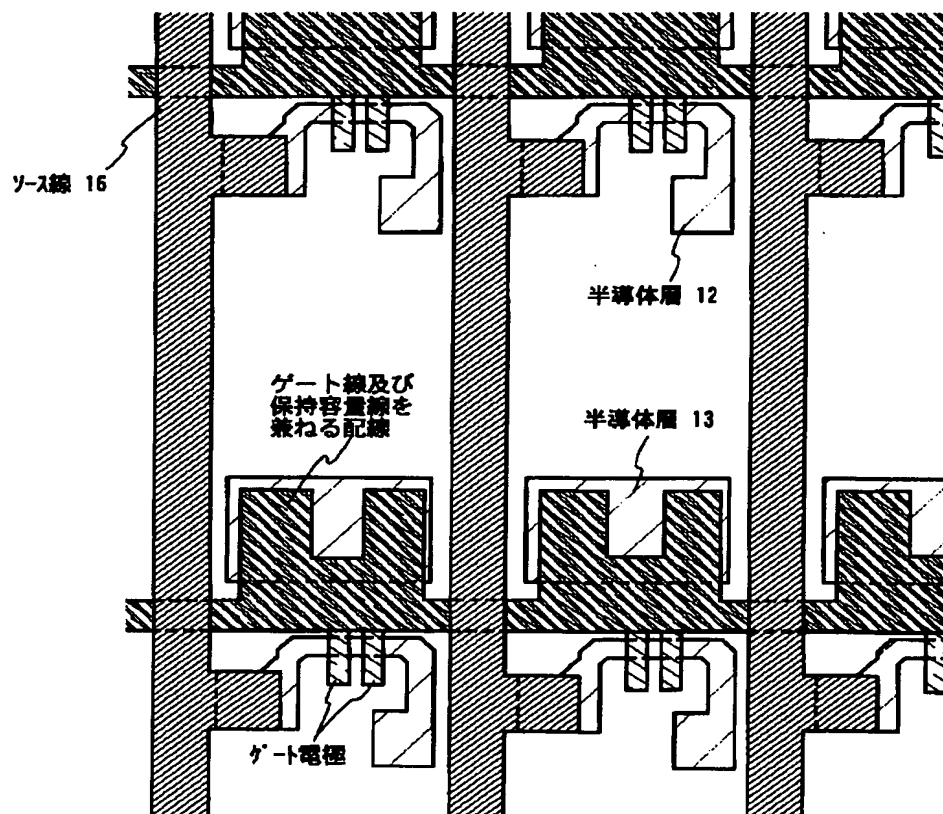
【図19】



【図20】



【図22】



フロントページの続き

(51)Int.Cl.	識別記号	F I	テームコード (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 C
(72)発明者 村上 智史 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内		F ターム(参考) 2H092 GA29 HA04 HA06 JA24 JA37	
(72)発明者 坂倉 真之 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内			JA41 JA46 JB69 KA04 KA10 KB25 MA05 MA08 MA13 MA17 MA27 MA30 NA21 NA27 NA29 PA01 PA03 PA08
(72)発明者 浜谷 敏次 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内		4M104 AA01 BB01 BB02 BB04 BB08	
(72)発明者 浜田 崇 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内			BB14 BB16 BB17 BB18 BB30 BB32 BB36 CC01 CC05 DD06 DD15 DD20 DD37 DD43 DD65 DD66 DD91 EE14 EE17 EE18 FF03 FF08 FF13 GG20 HH16 HH18
(72)発明者 塚本 洋介 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内		5C094 AA05 AA14 AA42 AA43 BA03	
(72)発明者 小川 裕之 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内			BA43 CA19 EA01 EA04 EA07 FB12
(72)発明者 松尾 拓哉 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内		5F033 GG04 HH04 HH07 HH08 HH10	
			HH11 HH14 HH17 HH18 HH19 HH20 HH21 HH32 HH33 HH38 JJ01 JJ08 JJ10 JJ14 JJ18 JJ38 KK01 LL04 MM04 MM19 PP06 PP15 QQ00 QQ08 QQ10 QQ12 QQ16 QQ18 QQ34 QQ37 QQ58 QQ65 QQ71 QQ73 QQ74 QQ82 QQ83 RR01 RR06 RR08 RR21 SS08 SS15 TT04 VV15 WW10 XX08 XX27
		5F110 AA03 AA16 AA28 BB02 BB04	
			DD01 DD02 DD03 DD13 DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE06 EE09 EE14 EE23 EE28 EE37 EE44 EE45 FF02 FF04 FF09 FF28 FF30 FF36 GG02 GG13 GG25 GG43 GG45 GG47 HJ01 HJ04 HJ12 HJ23 HL04 HL06 HL07 HL11 HM15 NN03 NN04 NN22 NN24 NN27 NN34 NN35 NN72 NN78 PP03 PP34 PP35 QQ04 QQ11 QQ24 QQ25 QQ28